

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2003-229533  
 (43) Date of publication of application : 15.08.2003

(51) Int.CI.  
 H01L 25/065  
 G01R 31/28  
 H01L 21/822  
 H01L 25/07  
 H01L 25/18  
 H01L 27/04

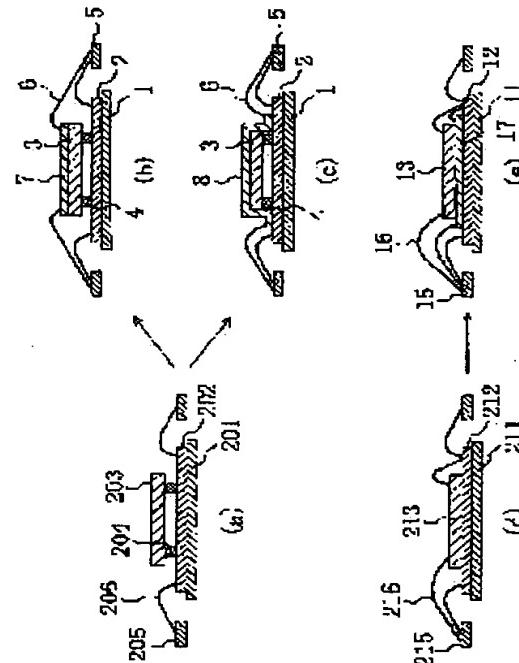
(21) Application number : 2002-025324      (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22) Date of filing : 01.02.2002      (72) Inventor : NISHISAKO YUKINARI  
 KOTANI HISAKAZU  
 ISHIYAMA YASUHIRO

## (54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a highly reliable semiconductor device and a method for manufacturing the same.

**SOLUTION:** The first semiconductor device b shown in Fig. 1-(b) comprises a die pad 1, major chip 2, minor chip 3, conductor film 7 formed on the backside of the minor chip 3, bumps 4, leads 5, and bonding wires 6. The conductor film 7 is connected to external members by bonding wires 6 and leads 5 which stabilizes the substrate potential. The conductor film 7, because it is high in thermal conductivity and low in electric resistance, improves heat radiation performance on semiconductor device and suppresses noise emission.



### LEGAL STATUS

[Date of request for examination] 01.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-229533

(P2003-229533A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl.<sup>7</sup>  
H 01 L 25/065  
G 01 R 31/28  
H 01 L 21/822  
25/07  
25/18

識別記号

F I  
H 01 L 25/08  
27/04

テマコト<sup>\*</sup> (参考)  
B 2 G 1 3 2  
H 5 F 0 3 8  
E  
T  
U

審査請求 有 請求項の数24 OL (全15頁) 最終頁に続く

(21) 出願番号 特願2002-25324 (P2002-25324)

(22) 出願日 平成14年2月1日 (2002.2.1)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 西迫 享成  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 小谷 久和  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100077931  
弁理士 前田 弘 (外7名)

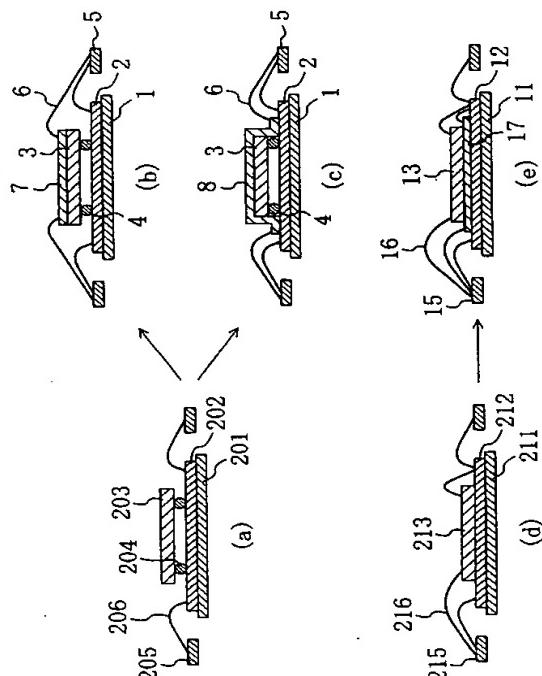
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 信頼性が高い半導体装置とその製造方法を提供する。

【解決手段】 本発明の第1の半導体装置は、図1(b)に示すように、ダイパッド1と、親チップ2と、子チップ3と、子チップ3の裏面上に形成されている導電体膜7と、バンプ4と、リード5と、ボンディングワイヤ6とから構成されている。導電体膜7は、ボンディングワイヤ6、リード5を介して外部の部材と接続されている。これにより、基板電位が安定化する。また、導電体膜7は、高い熱伝導率と低い電気抵抗とを有するので、半導体装置における放熱性能が向上し、また、放射ノイズの放出が抑制される。



## 【特許請求の範囲】

【請求項1】 第1半導体チップと、  
上記第1半導体チップの上に搭載される少なくとも1つの第2半導体チップと、  
上記第2半導体チップの裏面上に形成され、電位安定用部材に接続されている接続部材と電気的に接続されている導電体膜とを備える半導体装置。

【請求項2】 請求項1に記載の半導体装置において、  
上記第2半導体チップは、上記第1半導体チップの上に、主面を下向きにして搭載されていることを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、  
上記導電体膜は、上記第2半導体チップの上記裏面上から、上記第1半導体チップの上の一部に伸びて形成されていることを特徴とする半導体装置。

【請求項4】 請求項1に記載の半導体装置において、  
上記第2半導体チップは、上記第1半導体チップの上に、主面を上向きにして搭載されており、  
上記導電体膜のうちの一部は、上記第1半導体チップと上記第2半導体チップとの間に挟まれて形成されており、

上記導電体膜のうちの他部は、上記第1半導体チップの上に露出しており、上記他部には、上記接続部材が接していることを特徴とする半導体装置。

【請求項5】 請求項3または4に記載の半導体装置において上記第2半導体チップが、上記第1半導体チップ上に複数形成されており、  
上記導電体膜は、複数の上記第2半導体チップの上記裏面上に亘って形成されていることを特徴とする半導体装置。

【請求項6】 電位安定用部材と電気的に接続されている導電体パターンと、  
上記導電体パターンとは絶縁されている第1チップ側接続パッドとを有する第1半導体チップと、  
上記第1チップ側接続パッドと電気的に接続される第2チップ側接続パッドを有し、主面を下向きにして搭載される第2半導体チップとを有し、  
上記導電体パターンと上記第1チップ側接続パッドとは、共通の膜からパターンニングされていることを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、  
上記電位安定用部材は、上記第1半導体チップの電源ラインであることを特徴とする半導体装置。

【請求項8】 第1半導体チップと、  
上記第1半導体チップの上に、主面を下向きにして搭載され、第2チップ側接続部材を有する第2半導体チップと、  
上記第2チップ側接続部材と電気的に接続され、平面的に見て、少なくとも一部が上記第2半導体チップの外部に位置する検査用部材とを備える半導体装置。

【請求項9】 請求項8に記載の半導体装置において、  
上記検査用部材の上記一部は、平面的に見て、上記第2半導体チップの外周部に位置し、  
上記第2半導体チップは、上記検査用部材により外部機器とアクセスが可能であることを特徴とする半導体装置。

【請求項10】 請求項8または9に記載の半導体装置において、  
上記第1半導体チップの上に、上記検査用部材が形成されており、  
上記検査用部材と上記第2チップ側接続部材とが、配線により接続されることを特徴とする半導体装置。

【請求項11】 請求項8または9に記載の半導体装置において、  
上記第1半導体チップは第1チップ側接続部材を有しており、  
上記検査用部材の上記一部は、上記第2半導体チップが形成されている領域よりも外部まで伸びており、上記検査用部材の他部は、上記第1チップ側接続部材と上記第2チップ側接続部材との間に挟まれていることを特徴とする半導体装置。

【請求項12】 請求項11に記載の半導体装置において、  
上記検査用部材の一部は、絶縁体膜により覆われていることを特徴とする半導体装置。

【請求項13】 請求項8～12のうちいずれか1つに記載の半導体装置において、  
上記半導体装置は、上記検査用部材への印加信号に応じて、上記第1半導体チップと上記第2半導体チップとを個別にアクティブにするための回路をさらに備えていることを特徴とする半導体装置。

【請求項14】 第1半導体チップと、  
上記第1半導体チップの上に、主面を下向きにして搭載され、第2チップ側接続部材を有する第2半導体チップと、  
上記第2チップ側接続部材に接続されており、ウエハ状態でスクリュープレーン上に存在していた検査用部材と接続されていた配線とを備える半導体装置。

【請求項15】 第1チップ側接続部材を有する第1半導体チップと、  
上記第1半導体チップの上に、主面を下向きにして搭載される第2半導体チップと、  
上記第1チップ側接続部材に接続されており、ウエハ状態ではスクリュープレーン上に形成される検査用部材と接続されていた配線とを備える半導体装置。

【請求項16】 下地上に搭載された半導体チップと、  
一端が上記半導体チップの第1端子に接続され、他端が第1外部端子と接続される信号伝達用配線と、  
上記信号伝達用配線の側方に位置し、一端が上記半導体チップの第2端子に接続され、他端が第2外部端子と接

統され、上記信号伝達用配線の雑音を除去するためのシールド用配線とを備える半導体装置。

【請求項17】 請求項16に記載の半導体装置において、上記信号伝達用配線は、上記シールド用配線によって挟まれていることを特徴とする半導体装置。

【請求項18】 請求項16または17に記載の半導体装置において、

上記下地は第2半導体チップであり、

上記第2半導体チップの第3端子には、一端が第3外部端子と接続される第2信号伝達用配線が接続されており、

上記第2信号伝達用配線の周囲に位置し、一端が上記第2半導体チップの第4端子に接続され、他端が第4外部端子と接続され、上記第2信号伝達用配線を保護するための第2シールド用配線をさらに備えることを特徴とする半導体装置。

【請求項19】 請求項18に記載の半導体装置において、

上記第2外部端子と上記第4外部端子とは、電源ラインに接続される共通の電源リングであることを特徴とする半導体装置。

【請求項20】 請求項18または19に記載の半導体装置において、

上記第2端子と上記第4端子とは、上記半導体チップと上記第2半導体チップとの間に介在する共通の導電体膜であることを特徴とする半導体装置。

【請求項21】 第1半導体チップと、

上記第1半導体チップの上に搭載される第2半導体チップと、

上記第1半導体チップと上記第2半導体チップとを接着するための接着剤と、

上記第1半導体チップ上に形成され、上記接着剤の広がりをせき止めるための接着剤止めとを備える半導体装置。

【請求項22】 第1半導体チップと、

上記第1半導体チップの上に搭載される第2半導体チップと、

上記第1半導体チップの上に形成され、上方第1半導体チップにおける平面的な配置の方向を特定するための接続用部材とを備えることを特徴とする半導体装置。

【請求項23】 第1半導体チップの上に第2半導体チップが搭載されている半導体装置の製造方法であって、上記第1半導体チップの一部の上に、第1チップ側接続部材を形成する工程(a)と、

上記第2半導体チップの一部の上に、第2チップ側接続部材を形成する工程(b)と、

上記第1チップ側接続部材と上記第2チップ側接続部材との間に検査用部材の一部を挟んで、上記第1半導体チップ上に上記第2半導体チップを搭載する工程(c)

と、を備えることを特徴とする半導体装置の製造方法。

【請求項24】 請求項23に記載の半導体装置の製造方法であって、

上記検査用部材の側面の少なくとも一部は、絶縁体膜により覆われておる、

上記工程(c)では、圧力を加えて上記第1半導体チップ上に上記第2半導体チップを搭載することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置とその製造方法に関し、特に、SiP技術を用いるシステムLSIのような多機能な半導体装置とその製造方法に関する。

【0002】

【従来の技術】 近年では、半導体技術の進展により、ボード上で実現していたシステムを一つの半導体チップ上で実現するシステムLSIが主流となってきている。

【0003】 システムLSIでは、チップ上にDRAMやFlashメモリなどを混載することが多い。しかしながら、この混載されるメモリは、ロジック部と比較して、微細化のスピードが遅く、また混載プロセスの開発が長期間でかつ非常に困難であるといった問題がでてきている。

【0004】 こうした状況の中で、複数の半導体チップを一つのパッケージに封止することでシステムLSIを実現するSiP(System in Package)技術が注目されてきている。SiP技術は、その形態により大きく2種類に分けることができる。一つ目は、ベースとなる半導体チップ(以下では、親チップと示す)の上に、貼り合わせられるチップ(以下では、子チップと示す。)の表面を向い合わせて、バンプを用いて実装する方法である。これは、子チップが下向きになるため、フェイスダウン法と呼ばれている。二つ目は、親チップの上に子チップの裏面を接着する方法である。この方法では、それぞれのチップの接続は、直接あるいはリードを介してボンディングワイヤにより行われる。これは、子チップが上向きになるため、フェイスアップ法と呼ばれている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置においては、以下の不具合が生じていた。

【0006】 まず、SiP技術において、技術進歩によるプロセスルールの微細化により、ノイズや熱に対する耐性は低下してきている。一方、電源電圧の低電圧化と動作周波数の高速化が加速的に進んでいるため、放射ノイズの増大、チップの発熱量の増加と放熱効率の低下などの不具合が生じている。これらの不具合は、誤動作の原因となってしまう。

【0007】 さらに、フェイスダウン方式をとる場合に

は、実装後に子チップの表面に形成されている接続パッドが隠れてしまうため、接続パッドを介して子チップ単体での検査ができなくなってしまう。また、ウエハ状態におけるチップ形成領域の面積効率が悪いという不具合もある。

【0008】また、フェイスアップ方式をとる場合には、電気的接続のためのポンディングワイヤが長くなり、隣接する端子とのクロストークによるノイズの影響が大きくなってしまう。また、チップの接着に使用するグルー剤による装置内の汚染が生じやすい。さらに、実装工程の自動化などに伴って、チップ同士の接続の際のチップ方向の認識ミスなどが生じるおそれがある。

【0009】本発明の目的は、上記のような不具合を解決する手段を講ずることにより、信頼性が高く、さらなる小型化が可能である半導体装置とその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の第1の半導体装置は、第1半導体チップと、上記第1半導体チップの上面に搭載される少なくとも1つの第2半導体チップと、上記第2半導体チップの裏面上に形成され、電位安定用部材に接続されている接続部材と電気的に接続されている導電体膜とを備える。

【0011】これにより、高い熱伝導率と低い電気抵抗とを有する導電体膜が第2半導体チップの裏面上に接するので、放熱性能が向上し、第2半導体チップの電位の安定化が可能となり、さらに、第1半導体チップと第2半導体チップとから周囲にノイズが伝わるのを防止することができる。

【0012】上記第2半導体チップは、上記第1半導体チップの上面に、正面を下向きにして搭載されていてよい。

【0013】上記導電体膜は、上記第2半導体チップの裏面上から、上記第1半導体チップの上の一部に伸びて形成されていてよい。

【0014】上記第2半導体チップは、上記第1半導体チップの上面に、正面を上向きにして搭載されており、上記導電体膜のうちの一部は、上記第1半導体チップと上記第2半導体チップとの間に挟まれて形成されており、上記導電体膜のうちの他部は、上記第1半導体チップの上面に露出しており、上記他部には、上記接続部材が接していることにより、第1半導体チップから第2半導体チップへノイズが伝わるのを防止することができる。

【0015】上記第2半導体チップが、上記第1半導体チップ上面に複数形成されており、上記導電体膜は、複数の上記第2半導体チップの裏面上に亘って形成されていることにより、複数の第2半導体チップの裏面上に、一括して導電体膜を形成することができる。

【0016】本発明の第2の半導体装置は、電位安定用部材と電気的に接続されている導電体パターンと、上記

導体パターンとは絶縁されている第1チップ側接続パッドとを有する第1半導体チップと、上記第1チップ側接続パッドと電気的に接続される第2チップ側接続パッドを有し、正面を下向きにして搭載される第2半導体チップとを有し、上記導電体パターンと上記第1チップ側接続パッドとは、共通の膜からパターニングされている。

【0017】これにより、高い熱伝導率と低い電気抵抗とを有する導体パターンが第2半導体チップの下に位置することになるので、基板電位の安定化を図ることができ、さらに、導電パターンがノイズシールドとして機能するため、第1半導体チップから第2半導体チップへノイズが伝わるのを防止することができる。

【0018】上記電位安定用部材は、上記第1半導体チップの電源ラインであってもよい。

【0019】本発明の第3の半導体装置は、第1半導体チップと、上記第1半導体チップの上面に、正面を下向きにして搭載され、第2チップ側接続部材を有する第2半導体チップと、上記第2チップ側接続部材と電気的に接続され、平面的に見て、少なくとも一部が上記第2半導体チップの外部に位置する検査用部材とを備える。

【0020】これにより、第2半導体チップを搭載した後においても、検査用部材を用いることより、第2半導体チップまたは第1半導体チップにおいて独立した検査を行うことができる。

【0021】上記検査用部材の上記一部は、平面的に見て、上記第2半導体チップの外周部に位置し、上記第2半導体チップは、上記検査用部材により外部機器とアクセスが可能であってもよい。

【0022】上記第1半導体チップの上面に、上記検査用部材が形成されており、上記検査用部材と上記第2チップ側接続部材とが、配線により接続されることにより、あらかじめ検査用部材が形成されている第1半導体チップの上面に第2半導体チップを搭載してから、第1半導体チップと第2半導体チップとの検査を、同じ検査用部材を用いることによって行なうことができる。

【0023】上記第1半導体チップは第1チップ側接続部材を有しており、上記検査用部材の上記一部は、上記第2半導体チップが形成されている領域よりも外部まで伸びており、上記検査用部材の他部は、上記第1チップ側接続部材と上記第2チップ側接続部材との間に挟まれていることにより、第1半導体チップの上面に第2半導体チップを搭載するときに検査用部材を挟むことによって、第1半導体チップと第2半導体チップとの検査を、同じ検査用部材を用いることによって行なうことができる。

【0024】上記検査用部材の一部は、絶縁体膜により覆われていることにより、検査用部材同士の短絡を防止することができる。

【0025】上記半導体装置は、上記検査用部材への印加信号に応じて、上記第1半導体チップと上記第2半

体チップとを個別にアクティブにするための回路をさらに備えていることにより、第1半導体チップと第2半導体チップとの独立した制御を行うことができる。

【0026】本発明の第4の半導体装置は、第1半導体チップと、上記第1半導体チップの上に、正面を下向きにして搭載され、第2チップ側接続部材を有する第2半導体チップと、上記第2チップ側接続部材に接続されており、ウエハ状態でスクリープレーン上に存在していた検査用部材と接続されていた配線とを備える。

【0027】これにより、ウエハ状態で、スクリープレーン上に搭載されている検査用部材を用いて第2半導体チップの検査を行ない、検査後には、第2半導体チップから検査用部材を切り離すことができるので、第2半導体チップの面積を縮小することができる。

【0028】本発明の第5の半導体装置は、第1チップ側接続部材を有する第1半導体チップと、上記第1半導体チップの上に、正面を下向きにして搭載される第2半導体チップと、上記第1チップ側接続部材に接続されており、ウエハ状態ではスクリープレーン上に形成される検査用部材と接続されていた配線とを備える。

【0029】これにより、ウエハ状態で、スクリープレーン上に搭載されている検査用部材を用いて第1半導体チップの検査を行ない、検査後には、第1半導体チップから検査用部材を切り離すことができるので、第1半導体チップの面積を縮小することができる。

【0030】本発明の第6の半導体装置は、下地上に搭載された半導体チップと、一端が上記半導体チップの第1端子に接続され、他端が第1外部端子と接続される信号伝達用配線と、上記信号伝達用配線の側方に位置し、一端が上記半導体チップの第2端子に接続され、他端が第2外部端子と接続され、上記信号伝達用配線の雑音を除去するためのシールド用配線とを備える。

【0031】これにより、信号伝達用配線の周囲に位置するシールド用配線がシールドとして機能するため、信号伝達用配線が周囲から受けるノイズの影響を低減することができる。

【0032】上記信号伝達用配線は、上記シールド用配線によって挟まれていることにより、より確実に、信号伝達用配線へのノイズの影響を低減することができる。

【0033】上記下地は第2半導体チップであり、上記第2半導体チップの第3端子には、一端が第3外部端子と接続される第2信号伝達用配線が接続されており、上記第2信号伝達用配線の周囲に位置し、一端が上記第2半導体チップの第4端子に接続され、他端が第4外部端子と接続され、上記第2信号伝達用配線を保護する第2シールド用配線をさらに備えることにより、特に、S i P方式の場合には、信号伝達用配線が長くなるために大きくなりやすいノイズの影響を、効果的に抑制することができる。

【0034】上記第2外部端子と上記第4外部端子と

は、電源ラインに接続される共通の電源リングであることにより、形成する外部端子の数を少なくすることができる。

【0035】上記第2端子と上記第4端子とは、上記半導体チップと上記第2半導体チップとの間に介在する共通の導電体膜であることにより、形成する第2端子と第4端子との数を少なくすることができる。

【0036】本発明の第7の半導体装置は、第1半導体チップと、上記第1半導体チップの上に搭載される第2半導体チップと、上記第1半導体チップと上記第2半導体チップとを接着するための接着剤と、上記第1半導体チップ上に形成され、上記接着剤の広がりをせき止めるための接着剤止めとを備える。

【0037】これにより、接着剤による第1半導体チップ等の汚染を防ぐことができる。

【0038】本発明の第8の半導体装置は、第1半導体チップと、上記第1半導体チップの上に搭載される第2半導体チップと、上記第1半導体チップの上に形成され、上方第1半導体チップにおける平面的な配置の方向を特定するための接続用部材とを有する。

【0039】これにより、第1半導体チップの上に第2半導体チップを搭載するときに、第2半導体チップの方向の誤りを防止することができる。

【0040】本発明の半導体装置の製造方法は、第1半導体チップの上に第2半導体チップが搭載されている半導体装置の製造方法であって、上記第1半導体チップの一部の上に、第1チップ側接続部材を形成する工程

(a) と、上記第2半導体チップの一部の上に、第2チップ側接続部材を形成する工程 (b) と、上記第1チップ側接続部材と上記第2チップ側接続部材との間に検査用部材の一部を挟んで、上記第1半導体チップ上に上記第2半導体チップを搭載する工程 (c) とを備える。

【0041】これにより、上記工程 (c) の後にも、検査用部材を用いることによって、第1半導体チップと第2半導体チップとの独立した検査を行うことができる。

【0042】上記検査用部材の側面の少なくとも一部は、絶縁体膜により覆われており、上記工程 (c) では、圧力を加えて上記第1半導体チップ上に上記第2半導体チップを搭載することにより、検査用部材同士の短絡を防止することができる。

【0043】

【発明の実施の形態】(第1の実施形態)以下に、第1の実施形態について、図1(a)～(e)を参照しながら説明する。図1(a)～(e)は、従来の半導体装置の構造と、第1の実施形態の半導体装置の構造とを説明するための断面図である。

【0044】図1(a)は、従来のフェイスダウン方式をとる半導体装置の構造を示す断面図であり、図1(b), (c)は、本実施形態のフェイスダウン方式の

半導体装置の構造を示す断面図である。図1(a)に示

すように、従来の半導体装置は、ダイパッド201と、ダイパッド201上に形成されている親チップ202と、親チップの上に下向きに搭載されている子チップ203と、親チップ202と子チップ203とを接続するバンプ204と、半導体チップを外部と接続するためのリード205と、リード205と親チップ202とを電気的に接続するボンディングワイヤ206とから構成されている。

【0045】図1 (b) に示すように、本実施形態の第1のフェイスダウン方式の半導体装置では、図1 (a) に示す半導体装置の子チップ203の裏面上に導電体膜が形成された構成をとる。つまり、図1 (b) に示す第1の半導体装置は、ダイパッド1と、厚さ50～200μmの親チップ2と、厚さ50～200μmの子チップ3と、子チップ3の裏面上に形成されている導電体膜7と、バンプ4と、リード5と、ボンディングワイヤ6とから構成されている。ここで、親チップ2と子チップ3とは、厚さが50μm以下であってもよい。

【0046】導電体膜7は、子チップ3を主に構成するSiと比較して、高い熱伝導率と低い電気抵抗を有するので、この導電体膜7が形成されることにより、放熱性能が向上し、親チップ、子チップからの放射ノイズの放出が抑制される。また、導電体膜7が、ボンディングワイヤ6、リード5を介して外部の部材と電気的に接続されていることにより、基板電位が安定化する。

【0047】本実施形態は、特に、半導体チップを縦方向に重ねて実装するためノイズの影響が大きく放熱効率の悪いSiP技術に適用することにより、高い効果を得ることができる。

【0048】図1 (c) に示すように、本実施形態の第2のフェイスダウン方式の半導体装置では、図1 (a) に示す半導体装置の子チップ203が、導体膜で覆われた構成をとる。つまり、図1 (c) に示す第2の半導体装置は、ダイパッド1と、親チップ2と、子チップ3と、バンプ4と、リード5と、ボンディングワイヤ6と、子チップ3を覆う導電体膜8とから構成されている。この導電体膜8が形成されることにより、図1 (b) に示す第1の半導体装置と同様の効果が得られる。さらに、複数の子チップを一括して導電体膜8で覆うことができるという利点がある。

【0049】図1 (d) は、従来のフェイスアップ方式の半導体装置の構造を示す断面図であり、図1 (e) は、本実施形態のフェイスアップ方式の半導体装置の構造を示す断面図である。図1 (d) に示すように、従来の半導体装置は、ダイパッド211と、ダイパッド上に形成されている親チップ212と、親チップ212の上に上向きに搭載されている子チップ213と、半導体チップを外部と接続するためのリード215と、リード215と親チップ212とを電気的に接続するボンディングワイヤ216とから構成されている。

【0050】図1 (e) に示すように、本実施形態のフェイスアップの半導体装置では、図1 (d) に示す親チップ212と子チップ213との間に、導電体膜を挟んだ構成をとる。つまり、図1 (e) に示す半導体装置は、ダイパッド11と、親チップ12と、子チップ13と、親チップ12と子チップ13との間に挟まれて形成されている導電体膜17と、リード15と、ボンディングワイヤ16とから構成されている。導電体膜17が形成されていることにより、子チップ13の基板電位が安定化され、放熱性能が向上する。さらに、導電体膜17がノイズシールドとして機能することと、導電体膜17とダイパッド11とがコンデンサを形成することにより、親チップ12から放射されるノイズが子チップ13に影響を与えることが防止される。また、1つの導電体膜17の上に、複数の子チップ13を一括して形成することもできる。

【0051】(第2の実施形態) 以下に、第2の実施形態について、図2 (a), (b)、図3 (a), (b) を参照しながら説明する。

【0052】図2 (a), (b) は、本実施形態の第1の半導体装置において、親チップと子チップとを接続する際の工程を示した平面図およびII-II断面における断面図である。本実施形態の第1の半導体装置は、フェイスダウン方式をとる、厚さ50～200μmの親チップ21と、親チップ21の上に搭載される、厚さ50～200μmの子チップ22と、半導体チップを外部に接続するためのリード23と、リード23と親チップ21の電位固定用パッド20とを接続するボンディングワイヤ24とから構成されている。ここで、親チップ21と子チップ22との厚さは、50μm以下であってもよい。

【0053】親チップ21の上面の一部には、導電体からなる接続用パッド25が形成されており、親チップ21の上面のうち接続用パッド25が形成されている部分を囲む部分には、絶縁体により接続用パッド25とは絶縁された状態で、導体パターン26が形成されている。導体パターン26は、電位固定用パッド20、ボンディングワイヤ24を通じてリード23に接続されている。子チップ22の表面の一部には、導電体からなる接続用パッド27が形成されており、接続用パッド27の上には、バンプ28が形成されている。親チップ21の接続用パッド25と、子チップの接続用パッド27とは、バンプ28によって接続される。なお、図2 (a) には示されていないが、親チップ21の上面のうち、接続用パッド25とバンプ28との接続部分および電位固定用パッド20が形成されている部分以外は、パッシバーション膜29により覆われている。

【0054】本実施形態の第1の半導体装置においては、導体パターン26がノイズシールドとして機能することにより、親チップ21から子チップ22の方に放射

されるノイズを防止することができる。

【0055】図3(a), (b)は、本実施形態の第2の半導体装置において、親チップと子チップとを接続する際の工程を示した平面図およびIII-III断面における断面図である。本実施形態の第2の半導体装置では、図2(a), (b)に示す第1の半導体装置においてリード23とボンディングワイヤ24が形成されているかわりに、親チップ21の一部に、電位固定用パッド30が形成されている。電位固定用パッド30は、親チップ21の電源ライン(VDDもしくはVSS)に接続されており、これにより、親チップ21の電位が安定化される。図3(a), (b)に示す半導体装置においても、図2(a), (b)に示す半導体装置と同様の効果を得ることができる。

【0056】(第3の実施形態)以下に、第3の実施形態について、図4(a)～(c)を参照しながら説明する。

【0057】図4(a), (b)は、本実施形態のフェイスダウンの形態をとる半導体装置の構造を示した平面図である。図4(a), (b)に示すように、本実施形態の半導体装置は、厚さ50～200μmの親チップ31と、親チップ31の上に搭載される子チップ32と、厚さ50～200μmの子チップ32と、子チップ32の表面上に形成される接続用パッド33と、親チップ31の上に形成される検査用パッド34と、接続用パッド33と検査用パッド34とを電気的に接続するパッド間配線35と、親チップ31を外部と接続するための外部接続用パッド36から構成されている。ここで、親チップ31と子チップ32との厚さは、50μm以下であつてもよい。

【0058】この構成により、親チップ31上に子チップ32を搭載した後でも、検査用パッド34を介することにより子チップ32のテストを直接的に行なうことが可能になる。

【0059】図4(c)は、本実施形態の半導体装置の構成を示す電子回路図である。図4(c)に示すように、本実施形態の半導体装置において、親チップ31には、入力信号用端子41aと、出力信号用端子42aと、出入力信号用端子43aと、親チップ制御信号用端子44とがあり、子チップ32には、入力信号用端子41bと、出力信号用端子42bと、出入力信号用端子43bと、子チップ制御信号用端子45とがある。

【0060】これにより、親チップ31と子チップ32との独立した制御が可能となる。例えば、親チップ31のみをアクティブにする制御信号を送ることにより、親チップ31の入力、出力、出入力信号をHIZ状態にすると、子チップ32単独での検査を行うことができる。また、子チップ32のみをアクティブにする制御信号を送ることにより、子チップ32の入力、出力、出入力信号をHIZ状態にすると、親チップ31単独での検査を

行うことができる。

【0061】以上のことから、本実施形態の半導体装置においては、親チップ31上に子チップ32を搭載した後でも、検査用パッド34を介することにより、子チップ32のテストを直接的に行なうことが可能になる。つまり、子チップの検査において、複数形成されている検査用パッド34のうちのいずれかにテストパターンを入力し、他の検査用パッド34から出力させることができる。以上のことから、子チップ32の検査時には、従来のように親チップからテストパターンを出入力する必要がなくなるので、テストパターンの簡略化を図ることができる。

【0062】なお、上記の検査の例としては、親チップ31と子チップ32との電気的接続を確認するテストや、子チップの性能テストなどが挙げられる。

【0063】例えば、親チップ31が映像を処理する回路を搭載しており、子チップ32が音声を処理する回路を搭載する場合には、検査用パッド34を用いることにより、映像と音声の合成を行なって、同時に個別の検査をすることが可能となる。親チップ31がロジック回路を搭載しており、子チップ32がメモリを搭載している場合にも、同時に個別の検査を行なうことができる。

【0064】(第4の実施形態)以下に、第4の実施形態のフェイスダウン方式をとる半導体装置について、図5(a)～(c)を参照しながら説明する。

【0065】図5(a)は、本実施形態におけるウエハ状態の子チップを示す平面図である。図5(a)に示すように、ウエハは、子チップ51が形成されている領域と、子チップ51が形成されていないスクライブレーン52とに分けられる。そして、子チップ51の上には接続用パッド53が形成されており、スクライブレーン52の上には検査用パッド54が形成されている。接続用パッド53と検査用パッド54とは、パッド間配線55により電気的に接続されている。

【0066】この構成をとることにより、ウエハ状態で、検査用パッド54を用いて子チップ51の検査を行ない、検査後には、子チップ51をスクライブレーン52と切り離すことができる。このことから、面積の小さな接続用パッド53からスクライブレーン52上の検査用パッド54に電気的な接続をとることにより、面積の大きな検査用パッドを子チップ51内に設ける必要がなくなるので、子チップ51の面積を縮小することができる。

【0067】図5(b)は、本実施形態におけるウエハ状態の親チップを示す平面図である。なお、この状態では、まだ、子チップは親チップの上に搭載されていない。図5(b)に示すように、ウエハは、親チップ56が形成されている領域と、親チップ56が形成されていないスクライブレーン57とに分けられる。そして、親チップ56の上には接続用パッド58が形成されてお

り、スクライブレーン57の上には、検査用パッド59が形成されている。接続用パッド58と検査用パッド59とは、パッド間配線60により電気的に接続されている。そして、親チップ56には、外部接続用パッド61が形成されている。

【0068】この構成をとることにより、ウエハ状態で、検査用パッド59を用いて親チップ56の検査を行ない、検査後には、親チップ56をスクライブレーン57と切り離すことができる。このことから、検査用パッドを親チップ56内に設ける必要がなくなるので、親チップ56の面積を縮小することができ、さらに、親チップ56において、子チップを搭載することができる領域を拡大することができる。

【0069】ここで、図5(c)は、図5(b)に示すウエハに形成されている親チップ56の上に、子チップ62を搭載した状態を示す断面図である。図5(c)に示す構成をとることにより、ウエハ状態で親チップ56の上に子チップ62を搭載して検査を行い、検査後には、親チップ56をスクライブレーン57と切り離すことができる。このことから、親チップ56の面積を縮小することができる。さらに、子チップ62の搭載後においても、検査用パッド59を用いることにより、子チップ62の直接的な検査と、全体の検査とが可能となる。

【0070】なお、図5(c)では、図5(a)に示す子チップ51を搭載してもよい。

【0071】(第5の実施形態)以下に、第5の実施形態のフェイスタウン方式の半導体装置について、図6(a)～(f)を参照しながら説明する。図6(a)～(f)は、本実施形態の半導体装置の製造工程のうち、子チップを親チップ上に搭載する工程を示した平面図および斜視図である。

【0072】図6(a)は、本実施形態で用いる、導電体からなる検査用リード70を有する検査用リードフレーム71である。

【0073】図6(b)に示す工程で、厚さ50～200μmの子チップ72上に検査用リードフレーム71を搭載する。ここで、検査用リード70の先端付近の部分が、子チップ72の上の子チップ側接続用バンプ73に接するように、検査用リードフレーム71を搭載する。

【0074】次に、図6(c)に示す工程で、検査用リードフレーム71から検査用リード70を切断する。

【0075】ここで、図6(d)は、本実施形態で用いる、厚さ50～200μmの親チップ74を示しており、親チップ74には、子チップ側接続用バンプ73と接続するための親チップ側接続用バンプ75が形成されている。

【0076】そして、図6(e)に示す工程で、親チップ74の上に子チップ72を搭載する。このとき、図6(f)に示すように、親チップ側接続用バンプ75と子チップ側接続用バンプ73との間に、検査用リード70

を挟むようになる。これにより、検査用リード70は、子チップ72の位置する部分より外側にはみ出した状態で固定される。

【0077】本実施形態においては、検査用リード70を用いる検査により、第3の実施形態と同様の効果を得ることができる。つまり、子チップの検査時には、従来のように親チップからテストパターンを出入力する必要がなくなるので、テストパターンの簡略化を図ることができ、さらに、より実際の駆動時に近い状態で検査を行うことができる。

【0078】なお、本実施形態の半導体装置においては、第3の実施形態における回路と同様の回路が形成されていてもよい。

【0079】本実施形態で用いる親チップ74と子チップ72との厚さは、50μm以下であってもよい。

【0080】(第6の実施形態)以下に、第6の実施形態のフェイスタウン方式の半導体装置について、図7(a)～(d)を参照しながら説明する。図7(a)～(d)は、本実施形態の半導体装置の製造工程のうち、子チップを親チップに搭載する工程を示した平面図である。

【0081】図7(a)は、本実施形態で用いる、導電体からなる検査用リード80を有する子チップ81である。子チップ81の表面上のうち縁部に近い部分には、子チップ側接続用パッド(図示せず)が形成されている。子チップ側接続用パッドの上には、図7(b)に示すような検査用リード80が形成されており、検査用リード80の側面は絶縁膜82により覆われている。

【0082】図7(b)は、本実施形態で用いる親チップ83を示しており、親チップ83には、子チップ側接続用パッドと接続するための親チップ側接続用パッド84が形成されている。

【0083】図7(c)は、本実施形態の親チップ83に、子チップ81を搭載する工程を示している。子チップ81を搭載した後、検査用リード80を押しつぶすように圧力をかけることにより、子チップ側接続用パッドと親チップ側接続用パッド84との間に、押しつぶされた検査用リード80が挟まれることになる。ここで、絶縁膜82は、検査用リード80が押しつぶされるのと同様に広がり、検査用リード80の側面を覆う。

【0084】本実施形態においては、検査用リード80を用いることにより、複雑な工程を用いることなく、第5の実施形態と同様の効果を得ることができる。さらに、検査用リード80の側面が絶縁膜82により覆われていることにより、検査用リード80同士の短絡を防止することができる。

【0085】なお、本実施形態の半導体装置においては、第3の実施形態における回路と同様の回路が形成されていてもよい。

【0086】(第7の実施形態)以下に、第7の実施形

態のフェイスアップ方式の半導体装置について、図8 (a), (b) および図9を参照しながら説明する。図8 (a), (b) および図9は、本実施形態の半導体装置の構造を示す平面図である。

【0087】図8 (a) に示すように、本実施形態の第1の半導体装置においては、親チップ91の上に子チップ92が搭載されている。そして、子チップ92上には、重要信号用パッド93が形成されており、重要信号用パッド93は、重要信号用配線94によって、親チップ91外部の重要配線用リード95と接続されている。親チップ91上には、重要信号用パッド96が形成されており、重要信号用パッド96は、重要信号用配線97によって、親チップ91外部の重要配線用リード98と接続されている。

【0088】そして、子チップ92の重要信号用パッド93の両側には、シールドパッド99a, 99bが形成されており、シールドパッド99a, 99bは、ボンディングワイヤ100a, 100bにより、親チップ91外部のリード101a, 101bに接続されている。なお、リードは、電源ライン(VDDもしくはVSS)につながっている。これにより、重要信号用配線94は、ボンディングワイヤ100a, 100bにより挟まれる。

【0089】親チップ91の重要信号用パッド96の両側には、シールドパッド102a, 102bが形成されており、シールドパッド102a, 102bは、ボンディングワイヤ103a, 103bにより、親チップ91外部のリード104a, 104bに接続されている。これにより、重要信号用配線97は、ボンディングワイヤ103a, 103bにより挟まれる。

【0090】図8 (a) に示す半導体装置においては、ボンディングワイヤが、重要信号用配線94および重要信号用配線97を挟むことにより、このボンディングワイヤがシールドとして機能するため、重要信号用配線94および重要信号用配線97が、周囲から受けるノイズの影響を低減させることができる。

【0091】図8 (b) に示すように、本実施形態の第2の半導体装置は、図8 (a) に示す構造において、さらに電源リング105が形成された構造をとる。電源リング105は、ボンディングワイヤ106によって、電源供給リード107に接続されている。電源供給リード107は、電源ライン(VDDもしくはVSS)に接続されている。そして、図8 (a) に示す構造では外部のリードに接続されているボンディングワイヤ100a, 100b, 103a, 103bが、電源リング105に接続されている。

【0092】これにより、図8 (a) に示す構造と同様に、ボンディングワイヤがシールドとして機能するため、重要信号用配線94および重要信号用配線97が、周囲から受けるノイズの影響を低減させることができ

る。さらに、図8 (a) に示す構造と比較して、リードの数を少なくすることができる。

【0093】図9に示すように、本実施形態の第3の半導体装置は、図8 (b) に示す構造において、さらに、親チップ91と子チップ92との間に導電体膜108が挟まれている構造をとる。ここで、導電体膜108は、図1 (e) に示す半導体装置における導電体膜17と同様のものである。

【0094】導電体膜108は、子チップ92の形成されている領域よりも外部に伸びて形成されていることにより、親チップ91の上に露出している。導電体膜108は、ボンディングワイヤ109によって、電源供給リード107に接続されている。そして、図8 (b) に示す構造では、シールドパッドに接続されているボンディングワイヤ100a, 100b, 103a, 103bが、導電体膜108に接続されている。

【0095】これにより、図8 (b) に示す構造と同様に、ボンディングワイヤがシールドとして機能するため、重要信号用配線94および重要信号用配線97が、周囲から受けるノイズの影響を低減することができる。さらに、図8 (b) に示す構造と比較して、子チップ92および親チップ91の上に形成するシールドパッドの数を低減させることができる。さらに、図1 (e) に示す半導体装置と同様に、親チップ91から放射されるノイズが子チップ92に影響を与えることが防止される。

【0096】なお、上記では、フェイスアップ方式をとる場合について説明したが、本実施形態の発明は、フェイスダウン方式をとる場合の親チップと子チップとの電気的接続などにも適用することができる。

【0097】また、上記では、親チップとリードとを接続する重要信号用配線と、子チップとリードとを接続する重要信号用配線との両方について、シールドとして機能するボンディングワイヤを設けたが、本実施形態の発明においては、親チップとリードとを接続する重要信号用配線か、子チップとリードとを接続する重要信号用配線かのいずれかのみに、シールド用のボンディングワイヤを設けてよい。

【0098】また、上記では、親チップの上に子チップが設けられている場合について述べたが、本実施形態の発明は、下地(基板など)の上に半導体チップが設けられている場合にも適用できる。

【0099】(第8の実施形態)以下に、第8の実施形態のフェイスアップ方式の半導体装置について、図10 (a), (b) を参照しながら説明する。図10 (a), (b) は、本実施形態の半導体装置の構造を示す平面図およびX-X断面における断面図である。

【0100】図10 (a), (b) に示すように、本実施形態の半導体装置においては、外部接続用パッド113を有する親チップ111の上に、フェイスアップ方式をとる子チップ112が搭載されている。親チップ1

11と子チップ112とは、グルー剤(接着剤)114によって接着されており、親チップ111の上には、グルー剤114の広がりを阻止するためのグルー剤止め115が形成されている。なお、図10(a), (b)には図示されていないが、子チップ112はボンディングワイヤ等により外部と電気的に接続されている。

【0101】本実施形態においては、グルー剤止め115が形成されていることにより、親チップ111と子チップ112とを接着するときに、グルー剤114の広がりがせきとめられる。これにより、グルー剤114によって、親チップ111上の外部接続用パッド113などが汚染されることを防ぐことができる。また、グルー剤止め115を設けることによって、子チップ112を外部接続用パッド113のより近くまで配置することができる、親チップ111上における子チップの実装面積を大きくすることができる。

【0102】なお、グルー剤止め115は、子チップ112の接着後に除去してもよいし、そのまま残してもよい。

【0103】(第9の実施形態)以下に、第9の実施形態のフェイスアップ方式の半導体装置について、図11を参照しながら説明する。

【0104】図11は、子チップが搭載される前の親チップを示す平面図である。図11に示すように、親チップ121のうち子チップが搭載される子チップ搭載領域122の上には、子チップ接続用パッド123が形成されている。そして、親チップ121のうち子チップ搭載領域122以外の上には、外部接続用パッド124が形成されている。

【0105】子チップ接続用パッド123は、上からみて、一意的に方向が決定されるように配置されている。具体的には、図11に示すように、子チップ搭載領域122の4つの角部のうちの1つの角部にパッドを形成しないことによって、方向を認識することができる。

【0106】これにより、子チップを搭載する時に、子チップの方向を誤って接続することを防止することができる。

#### 【0107】

【発明の効果】本発明の半導体装置においては、放射ノイズの影響低減、放熱効率の向上および基板電位の安定化が可能となる。

【0108】さらに、フェイスダウン方式をとる半導体装置においては、子チップ単体でのより直接的なテストが可能となる。また、チップを作製するためのウエハにおける面積効率を向上させることができる。

【0109】フェイスアップ方式をとる半導体装置においては、重要な信号を送信するための配線へのノイズの影響を抑制することができる。また、グルー剤による汚染や、チップの方向の接着ミスを防ぐことができる。

#### 【図面の簡単な説明】

【図1】(a)～(e)は、従来の半導体装置の構造と、第1の実施形態の半導体装置の構造とを説明するための断面図である。

【図2】(a), (b)は、第2の実施形態の第1の半導体装置において、親チップと子チップとを接続する際の工程を示した平面図およびII-II断面における断面図である。

【図3】(a), (b)は、第2の実施形態の第2の半導体装置において、親チップと子チップとを接続する際の工程を示した平面図およびIII-III断面における断面図である。

【図4】(a)～(c)は、第3実施形態のフェイスダウンの形態をとる半導体装置の構造を示した平面図および電子回路図である。

【図5】(a)～(c)は、第4の実施形態におけるウエハ状態のチップを示す平面図である。

【図6】(a)～(f)は、第5の実施形態の半導体装置の製造工程のうち、子チップを親チップ上に搭載する工程を示した平面図および斜視図である。

【図7】(a)～(d)は、第6の実施形態の半導体装置の製造工程のうち、子チップを親チップに搭載する工程を示した平面図である。

【図8】(a), (b)は、第7の実施形態の半導体装置の構造を示す平面図である。

【図9】第7の実施形態の半導体装置の構造を示す平面図である。

【図10】(a), (b)は、第8の実施形態の半導体装置の構造を示す平面図およびX-X断面における断面図である。

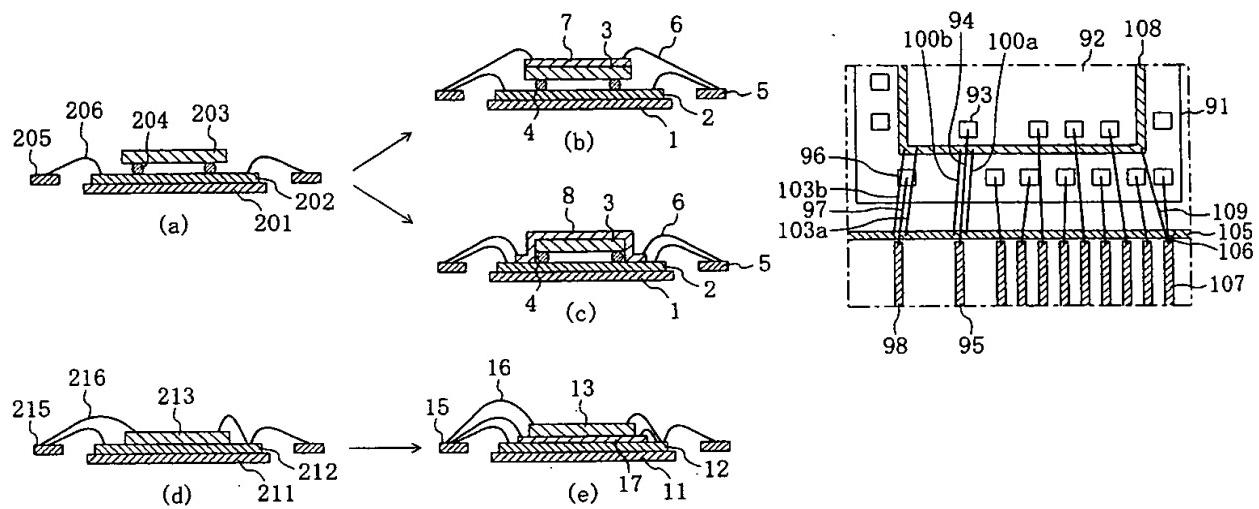
【図11】第9の実施形態において、子チップが搭載される前の親チップを示す平面図である。

#### 【符号の説明】

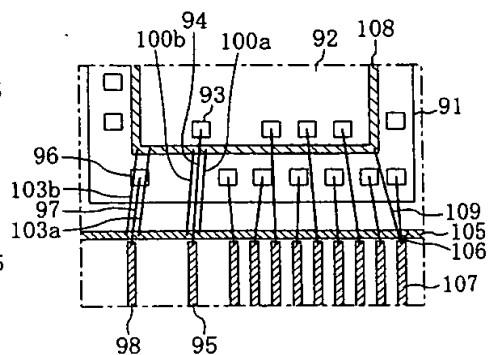
1	ダイパッド
2	親チップ
3	子チップ
4	バンブ
5	リード
6	ボンディングワイヤ
7	導電体膜
8	導電体膜
11	ダイパッド
12	親チップ
13	子チップ
15	リード
16	ボンディングワイヤ
17	導電体膜
20	電源固定用パッド
21	親チップ
22	子チップ
23	リード

2 4	ワイヤ	8 0	検査用リード
2 5	接続用パッド	8 1	子チップ
2 6	導体パターン	8 2	絶縁膜
2 7	接続用パッド	8 3	親チップ
2 8	バンプ	8 4	親チップ側接続用パッド
2 9	パッシベーション膜	9 1	親チップ
3 0	電位固定用パッド	9 2	子チップ
3 1	親チップ	9 3	親チップ
3 2	子チップ	9 4	重要信号用配線
3 3	接続用パッド	10 9 5	重要配線用リード
3 4	検査用パッド	9 6	重要信号用パッド
3 5	パッド間配線	9 7	重要信号用配線
3 6	外部接続用パッド	9 8	重要配線用リード
4 1 a	入力信号用端子	9 9 a	シールドパッド
4 1 b	入力信号用端子	9 9 b	シールドパッド
4 2 a	出力信号用端子	1 0 0 a	ボンディングワイヤ
4 2 b	出力信号用端子	1 0 0 b	ボンディングワイヤ
4 3 a	出入力用端子	1 0 1 a	リード
4 3 b	出入力用端子	1 0 1 b	リード
4 4	親チップ制御信号用端子	20 1 0 2 a	シールドパッド
4 5	子チップ制御信号用端子	1 0 2 b	シールドパッド
5 1	子チップ	1 0 3 a	ボンディングワイヤ
5 2	スライブレーン	1 0 3 b	ボンディングワイヤ
5 3	接続用パッド	1 0 4 a	リード
5 4	検査用パッド	1 0 4 b	リード
5 5	パッド間配線	1 0 5	電源リング
5 6	親チップ	1 0 6	ボンディングワイヤ
5 7	スライブレーン	1 0 7	電源供給リード
5 8	接続用パッド	1 0 8	導電体膜
5 9	検査用パッド	30 1 0 9	ボンディングワイヤ
6 0	パッド間配線	1 1 1	親チップ
6 1	外部接続用パッド	1 1 2	子チップ
6 2	子チップ	1 1 3	外部接続用パッド
7 0	検査用リード	1 1 4	グルー材
7 1	検査用リードフレーム	1 1 5	グルー材止め
7 2	子チップ	1 2 1	親チップ
7 3	子チップ側接続用バンプ	1 2 2	子チップ搭載領域
7 4	親チップ	1 2 3	子チップ接続用パッド
7 5	親チップ側接続バンプ	1 2 4	外部接続用パッド

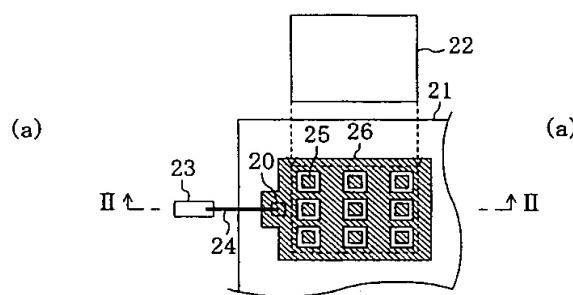
【図1】



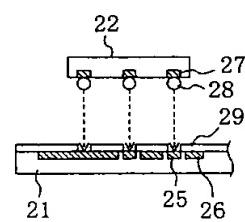
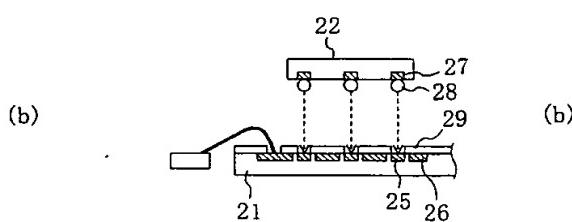
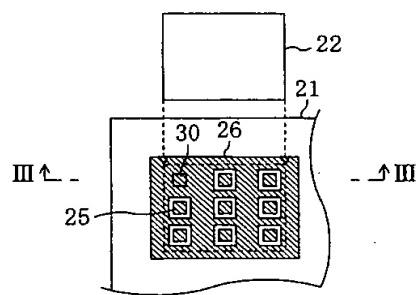
【図9】



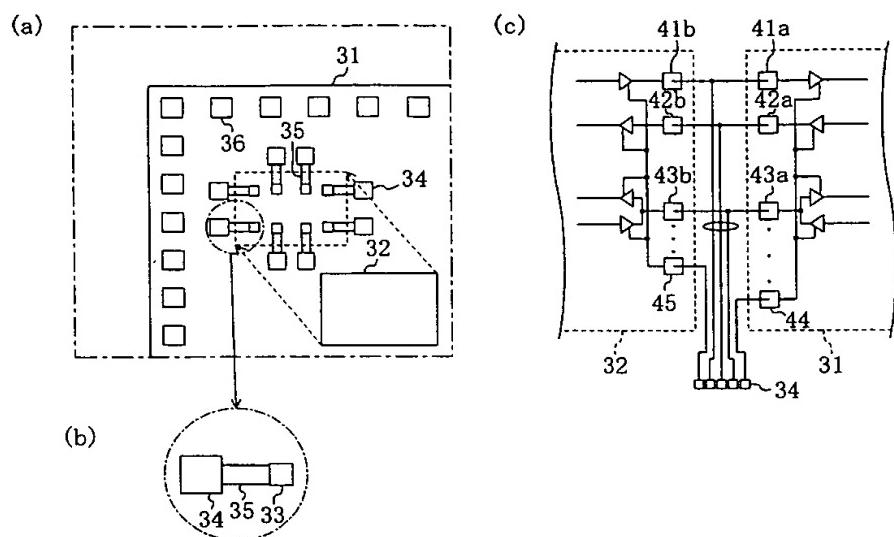
【図2】



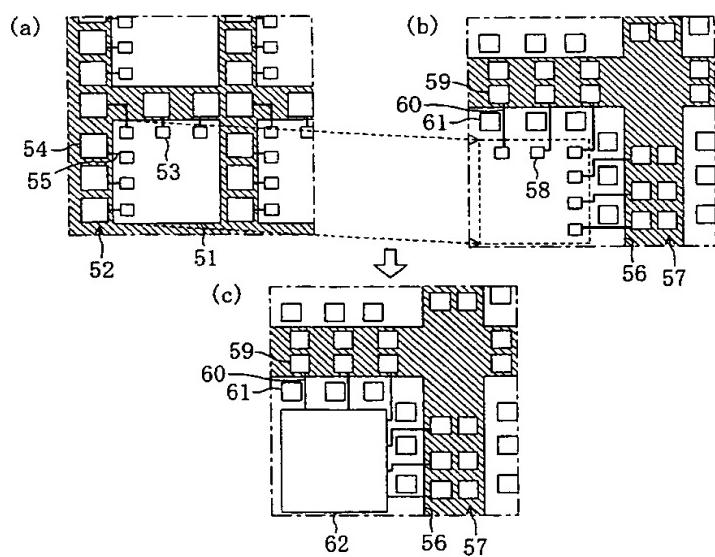
【図3】



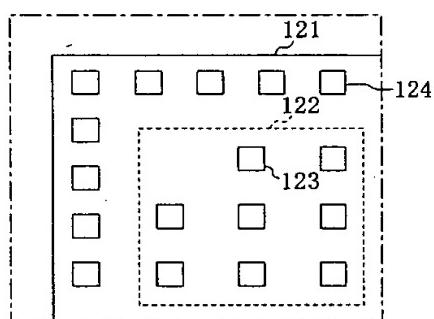
【図4】



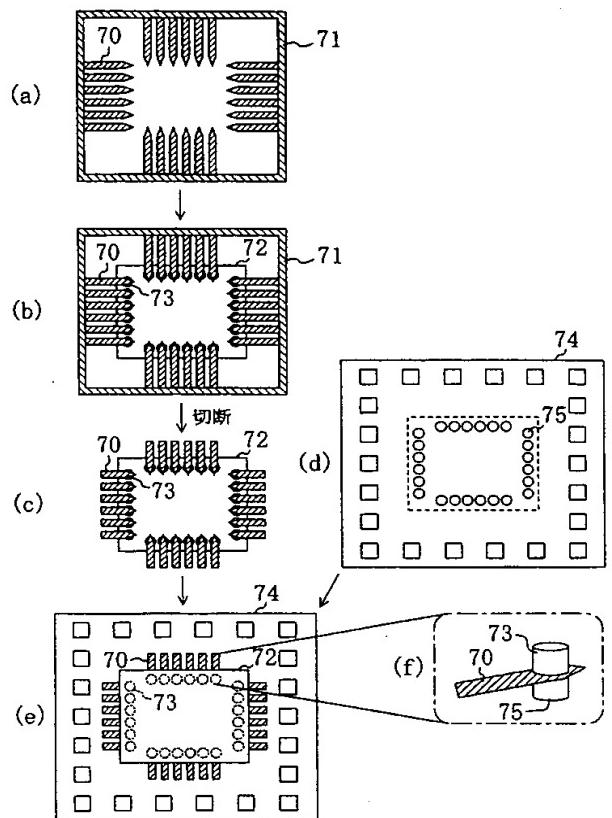
【図5】



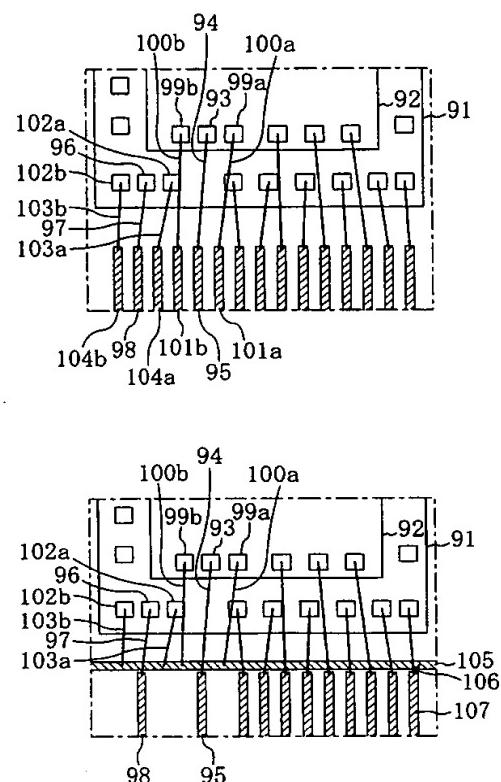
【図11】



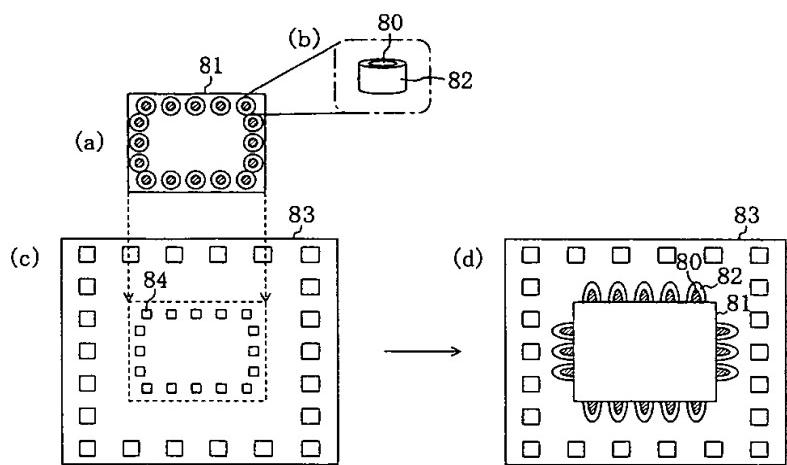
[図 6]



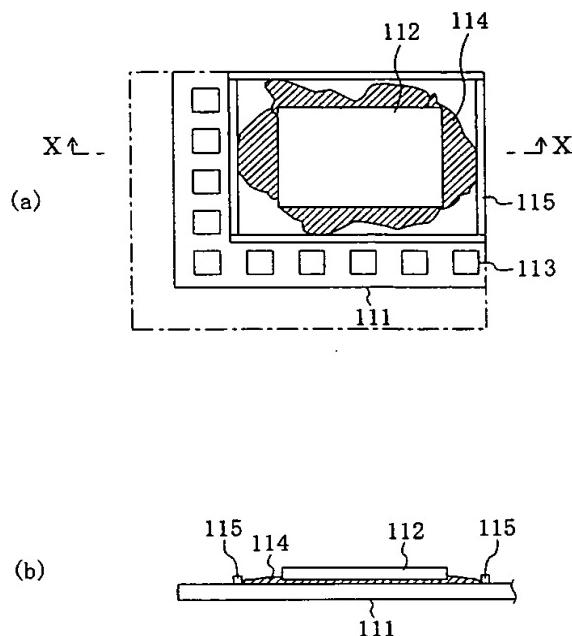
[図8]



【图7】



【図10】



フロントページの続き

(51) Int.C1.7

H O 1 L 27/04

識別記号

F I

「マコト」(参考)

H O 1 L 25/08

Z

G O 1 R 31/28

V

(72) 発明者 石山 裕浩

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 2G132 AA00 AK07 AK22

5F038 BE07 BH10 BH19 CA13 CD02  
CD03 DF05 DF11 DT04 DT15  
EZ20